

特許協力条約

PCT

特許性に関する国際予備報告（特許協力条約第二章）

(法第12条、法施行規則第56条)
〔PCT36条及びPCT規則70〕

REC'D 07 JUL 2005

WIPO

PCT

出願人又は代理人 の書類記号 JST-107-PCT	今後の手続きについては、様式PCT/IPEA/416を参照すること。	
国際出願番号 PCT/JP2004/002889	国際出願日 (日.月.年) 05.03.2004	優先日 (日.月.年) 17.03.2003
国際特許分類 (IPC) Int.Cl. ⁷ H01L27/105, 21/8247, 29/788, 29/792		
出願人 (氏名又は名称) 独立行政法人科学技術振興機構		

1. この報告書は、PCT35条に基づきこの国際予備審査機関で作成された国際予備審査報告である。
・ 法施行規則第57条 (PCT36条) の規定に従い送付する。

2. この国際予備審査報告は、この表紙を含めて全部で 3 ページからなる。

3. この報告には次の附属物件も添付されている。

a. 附属書類は全部で 9 ページである。

振正されて、この報告の基礎とされた及び／又はこの国際予備審査機関が認めた訂正を含む明細書、請求の範囲及び／又は図面の用紙 (PCT規則70.16 及び実施細則第607号参照)

第I欄4. 及び補充欄に示したように、出願時における国際出願の開示の範囲を超えた修正を含むものとこの国際予備審査機関が認定した差替え用紙

b. 電子媒体は全部で _____ (電子媒体の種類、数を示す)。
配列表に関する補充欄に示すように、コンピュータ読み取り可能な形式による配列表又は配列表に関連するデータベースを含む。 (実施細則第802号参照)

4. この国際予備審査報告は、次の内容を含む。

第I欄 国際予備審査報告の基礎
 第II欄 優先権
 第III欄 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
 第IV欄 発明の單一性の欠如
 第V欄 PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
 第VI欄 ある種の引用文献
 第VII欄 国際出願の不備
 第VIII欄 国際出願に対する意見

国際予備審査の請求書を受理した日 22.12.2004	国際予備審査報告を作成した日 22.06.2005
名称及びあて先 日本国特許庁 (IPEA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 小野田 誠 電話番号 03-3581-1101 内線 3498
	4L 8427

第I欄 報告の基礎

1. この国際予備審査報告は、下記に示す場合を除くほか、国際出願の言語を基礎とした。

- この報告は、_____語による翻訳文を基礎とした。
それは、次の目的で提出された翻訳文の言語である。
 - PCT規則12.3及び23.1(b)にいう国際調査
 - PCT規則12.4にいう国際公開
 - PCT規則55.2又は55.3にいう国際予備審査

2. この報告は下記の出願書類を基礎とした。（法第6条（PCT14条）の規定に基づく命令に応答するために提出された差替え用紙は、この報告において「出願時」とし、この報告に添付していない。）

 出願時の国際出願書類 明細書

第 <u>4, 6-8</u>	ページ、出願時に提出されたもの
第 <u>1, 2, 2/1, 3, 5, 9, 10</u>	ページ*、 <u>22. 12. 2004</u> 付けて国際予備審査機関が受理したもの
第 _____	ページ*、_____ 付けて国際予備審査機関が受理したもの

 請求の範囲

第 _____	項、出願時に提出されたもの
第 _____	項*、PCT19条の規定に基づき補正されたもの
第 <u>1, 3-7</u>	項*、 <u>22. 12. 2004</u> 付けて国際予備審査機関が受理したもの
第 _____	項*、_____ 付けて国際予備審査機関が受理したもの

 図面

第 <u>1-8</u>	ページ/図、出願時に提出されたもの
第 _____	ページ/図*、_____ 付けて国際予備審査機関が受理したもの
第 _____	ページ/図*、_____ 付けて国際予備審査機関が受理したもの

 配列表又は関連するテーブル

配列表に関する補充欄を参照すること。

3. 補正により、下記の書類が削除された。

<input type="checkbox"/> 明細書	第 _____	ページ
<input checked="" type="checkbox"/> 請求の範囲	第 <u>2, 8-11</u>	項
<input type="checkbox"/> 図面	第 _____	ページ/図
<input type="checkbox"/> 配列表（具体的に記載すること）	_____	
<input type="checkbox"/> 配列表に関連するテーブル（具体的に記載すること）	_____	

4. この報告は、補充欄に示したように、この報告に添付されかつ以下に示した補正が出願時における開示の範囲を超えてされたものと認められるので、その補正がされなかったものとして作成した。（PCT規則70.2(c)）

<input type="checkbox"/> 明細書	第 _____	ページ
<input type="checkbox"/> 請求の範囲	第 _____	項
<input type="checkbox"/> 図面	第 _____	ページ/図
<input type="checkbox"/> 配列表（具体的に記載すること）	_____	
<input type="checkbox"/> 配列表に関連するテーブル（具体的に記載すること）	_____	

* 4. に該当する場合、その用紙に "superseded" と記入されることがある。

第V欄 新規性、進歩性又は産業上の利用可能性についての法第12条（PCT35条(2)）に定める見解、それを裏付ける文献及び説明

1. 見解

新規性 (N)	請求の範囲 _____	有
	請求の範囲 <u>1, 3-7</u>	無
進歩性 (I S)	請求の範囲 _____	有
	請求の範囲 <u>1, 3-7</u>	無
産業上の利用可能性 (I A)	請求の範囲 <u>1, 3-7</u>	有
	請求の範囲 _____	無

2. 文献及び説明 (PCT規則70.7)

請求の範囲1, 3-5について

FET構造の半導体単結晶基板上に絶縁層を介して形成された下部電極、強誘電体膜、上部電極からなる半導体記憶素子は周知であり（例えば、JP 2002-299582 A、JP 2002-299581 A、JP 2002-110932 A）、このような周知の半導体記憶素子における下部電極、誘電体薄膜、上部電極の構成として、国際調査報告において提示した文献1（JP 9-089651 A）に記載された構成を適用することは、当業者が容易になし得る程度のことすぎず、請求の範囲1, 3-5に係る発明は、新規性、進歩性を有さない。

請求の範囲6, 7について

半導体単結晶基板上に絶縁層を介して形成された下部電極、強誘電体膜、上部電極からなる超音波センサは周知であり（例えば、JP 7-298394 A、JP 7-183397 A、JP 7-055919 A）、このような周知の超音波センサにおける下部電極、誘電体薄膜、上部電極の構成として、上記文献1（JP 9-089651 A）に記載された構成を適用することは、当業者が容易になし得る程度のことすぎず、請求の範囲6, 7に係る発明は、新規性、進歩性を有さない。

明細書

半導体記憶素子及び超音波センサー

技術分野

本発明は、半導体記憶素子及び超音波センサーに関するものである。

背景技術

近年、強誘電体の持つ、履歴現象、焦電効果、圧電効果、電気光学効果といった特性を利用した様々な電子デバイスが研究されている。中でも、金属／強誘電体／金属構造／絶縁体／半導体（Metal／Ferroelectric／Metal／Insulator／Semiconductor：MFMIS）構造を用いたデバイスは、不揮発性記憶素子やセンサーへの応用が期待されている。

また、この構造では強誘電体を薄膜化することにより、デバイス性能の向上、サイズの小型化などが可能になると期待される。さらに、半導体基板を用いることで集積回路との一体化が可能であると考えられている。

MFMIS構造を用いたデバイスにおいては、上部と下部の電極は強誘電体からの信号を取り出すあるいは強誘電体へ信号を与えるために必要となっている。例えば、強誘電体をセンサーとして利用する場合は、強誘電体に与えられた物理的な効果により上下の電極に信号が現れる。また、強誘電体を記憶素子として利用する場合は、記憶させたいデータに応じて、上下電極から強誘電体に対して電気的信号を与える必要がある。

一方で、強誘電体の結晶性はデバイスとしての性能を左右する重要な要素である。MFMIS構造において、強誘電体は金属電極上に形成されるため、電極にも結晶性の良いものが求められている。現在、電極用の金属材料としてはプラチナ（Pt）が広く使われている。

また、センサーデバイスの分野において、 $Pb(Zr, Ti)O_3$ （PZT）系強誘電体材料が広く用いられている。PZT系材料は電極上の結晶面を（00

1) 面に揃えることで、最も良好な強誘電特性を示すことが知られている。この P Z T (001) を得るために、下部電極の Pt を (001) 面で揃えた単結晶とする必要があり、現在そのような Pt を得るために単結晶 MgO (001) 基板が使用されている。

ところで、シリコン (Si) 基板表面にシリコン (Si) 酸化膜を形成し、その後チタンを堆積した基板を用いることにより、Pt (111) 配向膜とその上へのP Z T (111) 配向膜が作製できる。

【特許文献 1】

特開 2002-261249 号公報 (第 4 - 5 頁 図 2)

【非特許文献 1】

赤井 他、第 49 回応用物理学関係連合講演会予稿集, 30a-ZA-6

発明の開示

上記したように、強誘電特性の優れた P Z T (001) を用いた M F M I S 構造と集積回路を一体化したデバイスを作製するために、Pt (001) が形成可能な半導体（例えば、Si）基板が求められている。一方、現在使用されている 単結晶 MgO (001) 基板は絶縁体であり、上記の要求を満たすことができない。

さらに、上記した特許文献 1 では、半導体基板上にエピタキシャル成長された γ -Al₂O₃ 単結晶膜上に高配向の強誘電体薄膜を順次堆積してなることを特徴とする半導体記憶素子が開示されているが、この構造では下部電極が形成されていないので、半導体センサーなどには用いることができなかった。

本発明は、上記状況に鑑みて、下部電極を有する M F M I S 構造と集積回路を一体化することができる半導体記憶素子及び超音波センサーを提供すること目的とする。

本発明は、上記目的を達成するために、

[1] 半導体記憶素子において、FET 構造の半導体単結晶基板上にエピタキシャル成長された γ -Al₂O₃ 単結晶膜と、この γ -Al₂O₃ 単結晶膜上にエピタキシャル単結晶 Pt 薄膜と、該エピタキシャル単結晶 Pt 薄膜上に高配向

の強誘電体薄膜と、該強誘電体薄膜上に上部電極とを備え、メモリ機能を有することを特徴とする。

[2] 上記〔1〕記載の半導体記憶素子において、前記半導体単結晶基板として、Si単結晶基板を用いたことを特徴とする。

[3] 上記〔2〕記載の半導体記憶素子において、前記Si単結晶基板の表面が(100)面であることを特徴とする。

[4] 上記〔1〕、〔2〕または〔3〕記載の半導体記憶素子において、前記強誘電体薄膜として、 $BaMgF_4$ 、 $Bi_4Ti_3O_{12}$ 、 $(Bi, La)_4Ti_3O_{12}$ 、 $BaTiO_3$ 、 $Ba_xSr_{1-x}TiO_3$ 、 $SrBi_2Ta_2O_9$ 、 $PbTiO_3$ 、 $Pb_xLa_{1-x}Zr_xTi_{1-x}O_3$ 、 ZnO のうち、いずれかの薄膜を用いることを特徴とする。

[5] 超音波センサーにおいて、半導体単結晶基板上にエピタキシャル成長された $\gamma-Al_2O_3$ 単結晶膜と、この $\gamma-Al_2O_3$ 単結晶膜上にエピタキシャル単結晶Pt薄膜と、このエピタキシャル単結晶Pt薄膜上に高配向の強誘電体薄膜と、該強誘電体薄膜上に上部電極とを備え、前記半導体単結晶基板に共振周波数調整のための処理を施し、超音波を検出することを特徴とする。

[6] 上記〔5〕記載の超音波センサーにおいて、前記半導体単結晶基板がSOI構造であることを特徴とする。

する。このようにして、単結晶Pt電極を容易に得ることができ、MFMIS構造を実現するようにした。Si基板上にエピタキシャル成長可能な絶縁膜としては、 γ -Al₂O₃を使用するようにした。

単結晶絶縁膜の積層には、積層する材料の結晶構造および格子定数の不整合率が重要である。そこで、 γ -Al₂O₃、PtおよびMgOについて格子定数の検討を行った。表1にそれぞれの結晶構造および格子定数を示す。

(表1)

	結晶構造	晶系	格子定数
Pt	面心立方構造	立方晶	$a = b = c = 3092\text{Å}$
γ -Al ₂ O ₃	スピネル構造	正方晶	$a = b = 7.95\text{Å}$ $c = 7.79\text{Å}$
MgO	スピネル構造	立方晶	$a = b = c = 4.21\text{Å}$

第1図はPtと γ -Al₂O₃のスピネル構造の際表面での原子配置を示す図であり、第1図(a)はPtの原子配置、第1図(b)は γ -Al₂O₃の原子配置を示している。

スピネル構造の際表面は、 γ -Al₂O₃を例に取ると第1図(b)に示すように、Alの面心立方構造と見ることができる。一方、Ptの場合も、第1図(a)に示すように、Ptの面心立方構造と見ることができる。

したがって、(001)面上での原子配置はPtと γ -Al₂O₃とでは幾何学的には同じである。そこで、表1に示した格子定数より、Pt(001)面と γ -Al₂O₃(001)面およびPt(001)面とMgO(001)面との格子不整合率を計算すると、表2に示す値が得られた。

(表2)

	格子不整合率
Pt(001) - γ -Al ₂ O ₃ (001)	1.4%
Pt(001) - MgO(001)	6.8%

この結果より、Ptと γ -Al₂O₃との格子不整合率は十分に低く、さらにはPt-MgOの格子不整合率の値よりも低くなることが分かった。これは、 γ -Al₂O₃への単結晶Ptのエピタキシャル成長の可能性を示すものである。

6を形成してオーバーハング状態にする。つまり、この場合、熱分離もしくは共振周波数調整のためのSi基板21のエッチングは、Si基板21の表面から行う。

第11図は本発明の実施例を示すトランジスタと一体化したMFMIS型半導体センサーの構成図である。

この図において、31は下部電極（エピタキシャル単結晶Pt膜）、32は強誘電体薄膜、33は上部電極、34は抵抗、35は電界効果トランジスタ、36はゲート、37、38はソース・ドレイン、39は電源電圧（VDD）端子、40はセンサー出力（Vout）端子である。

このように、赤外線照射による焦電効果のため発生した電荷を、第11図に示すように、電界効果トランジスタ（もしくはMOSトランジスタ）35で電圧変化に変換して信号を取り出すことにより、雑音を減じることができる。図中の抵抗34はシャウント抵抗と呼ばれ、電流を電圧に変換するとともに、赤外線への応答速度を制御するものである。

第12図は本発明の実施例を示すメモリ構造を有するMFMIS-FET型半導体記憶素子の断面図である。

この図において、41は半導体基板〔Si基板〕、42、43はソース・ドレイン、44は絶縁膜〔エピタキシャル単結晶 γ -Al₂O₃（001）膜〕、45は下部電極（エピタキシャル単結晶Pt膜）、46は強誘電体薄膜、47は上部電極である。

このように、ソース・ドレイン42、43間に絶縁膜（エピタキシャル単結晶 γ -Al₂O₃膜）44、そして、その上に下部電極として金属（エピタキシャル単結晶Pt薄膜）45、その上に強誘電体薄膜46、そして上部電極47が構成されている半導体構造である。

上部電極47に、ある電圧以上（たとえば5V）の電圧を印加すると、ソース・ドレイン42、43間に電流が流れる。上部電極47の電圧を0Vまで落としても、強誘電体46の履歴現象のため、電流は流れ続ける。次に、上部電極47に、ある負の電圧以下（たとえば-5V）を印加すると、電流が流れなくなる。上部電極47の電圧を0Vに戻しても、強誘電体46の履歴現象のため、電流は

流れない。

なお、強誘電体薄膜としては、 $BaMgF_4$ 、 $Bi_4Ti_3O_{12}$ 、 $(Bi, La)_4Ti_3O_{12}$ 、 $BaTiO_3$ 、 $Ba_xSr_{1-x}TiO_3$ 、 $SrBi_2Ta_2O_9$ 、 $PbTiO_3$ 、 $Pb_xLa_{1-x}Zr_xTi_{1-x}O_3$ 、 ZnO のうち、いずれかの薄膜を用いるようにすればよい。

また、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

以上、詳細に説明したように、本発明によれば、以下のような効果を奏することができる。

(A) 半導体基板上に単結晶 $\gamma-Al_2O_3$ 膜(単結晶絶縁薄膜)を成長させ、その単結晶 $\gamma-Al_2O_3$ 膜を半導体基板とPt電極との間に形成することにより、単結晶Pt電極を容易に得ることができ、MFMIS構造を容易に形成することができる。

(B) 強誘電体薄膜を利用したデバイス、とりわけ半導体記憶素子や半導体センサーを得ることができ、その性能向上とサイズの小型化に貢献できる。

産業上の利用可能性

本発明の半導体記憶素子及び超音波センサーは、特に、性能が向上し、かつサイズの小型化された半導体デバイスに好適である。

請求の範囲

1. (補正後)

FET構造の半導体単結晶基板上にエピタキシャル成長された γ -Al₂O₃单結晶膜と、該 γ -Al₂O₃单結晶膜上にエピタキシャル单結晶Pt薄膜と、該エピタキシャル单結晶Pt薄膜上に高配向の強誘電体薄膜と、該強誘電体薄膜上に上部電極とを備え、メモリ機能を有することを特徴とする半導体記憶素子。

2. (削除)

3. (補正後)

請求項1記載の半導体記憶素子において、前記半導体単結晶基板として、Si单結晶基板を用いたことを特徴とする半導体記憶素子。

4. (補正後)

請求項3記載の半導体記憶素子において、前記Si单結晶基板の表面が(100)面であることを特徴とする半導体記憶素子。

5. (補正後)

請求項1、3または4記載の半導体記憶素子において、前記強誘電体薄膜として、BaMgF₄、Bi₄Ti₃O₁₂、(Bi, La)₄Ti₃O₁₂、BaTiO₃、Ba_xSr_{1-x}TiO₃、SrBi₂Ta₂O₉、PbTiO₃、Pb_yLa_{1-y}Zr_xTi_{1-x}O₃、ZnOのうち、いずれかの薄膜を用いることを特徴とする半導体記憶素子。

6. (補正後)

半導体単結晶基板上にエピタキシャル成長された γ -Al₂O₃单結晶膜と、該 γ -Al₂O₃单結晶膜上にエピタキシャル单結晶Pt薄膜と、該エピタキシャル单結晶Pt薄膜上に高配向の強誘電体薄膜と、該強誘電体薄膜上に上部電極とを備え、前記半導体単結晶基板に共振周波数調整のための処理を施し、超音波を検出することを特徴とする超音波センサー。

7. (補正後)

請求項6記載の超音波センサーにおいて、前記半導体単結晶基板がSOI構造

であることを特徴とする超音波センサー。

8. (削除)

9. (削除)

10. (削除)

11. (削除)